

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-252125

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H04L 12/28

G06F 5/06

G06F 13/38

G06F 13/38

H04L 12/40

H04L 12/56

(21)Application number : 10-343358

(71)Applicant : YAMAHA CORP

(22)Date of filing : 02.12.1998

(72)Inventor : FUJIMORI JUNICHI
INAGAKI YOSHIHIRO

(30)Priority

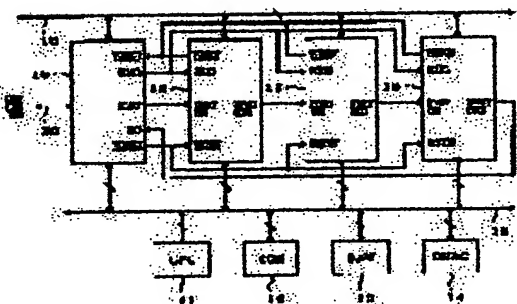
Priority number : 09347234 Priority date : 02.12.1997 Priority country : JP

(54) INTERFACE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To freely change the size of a buffer in accordance with an application and to efficiently transfer data by connecting the arbitrary number of interface chips to a control means and adjusting the increase/decrease of the number of interface chips.

SOLUTION: CPU 11 has a function operation as the running counter of 32 bits constitution, which counts the generated clock of a prescribed frequency and it outputs time data corresponding to the count value. A chip control means 15 controls interface chips 16-18 for transmitting/receiving data with a serial bus 20. The interface chips 16-18 incorporate buffer registers which synchronously input/output-operate and they transfer/receive data with the serial bus 20 through the chip control means 15. The necessary number of channels can be transmitted by increasing the necessary number of connected interface chips 16-18.



LEGAL STATUS

[Date of request for examination]

07.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-252125

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/00

3 1 0 A

G 0 6 F 5/06

G 0 6 F 5/06

C

13/38

3 1 0

13/38

3 1 0 Z

3 5 0

3 5 0

H 0 4 L 12/40

H 0 4 L 11/00

3 1 0 D

審査請求 未請求 請求項の数 1 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平10-343358

(22) 出願日 平成10年(1998)12月2日

(31) 優先権主張番号 特願平9-347234

(32) 優先日 平9(1997)12月2日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 藤森 潤一

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72) 発明者 稲垣 芳博

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

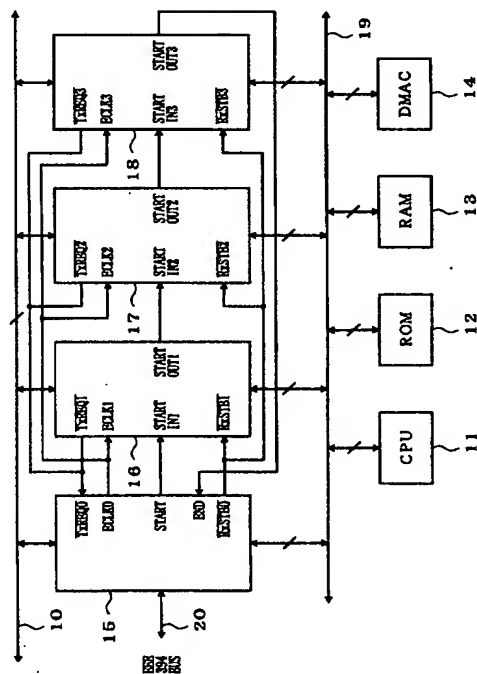
(74) 代理人 弁理士 飯塚 義仁

(54) 【発明の名称】 インターフェイス装置

(57) 【要約】

【課題】 アプリケーションに応じて自由にバッファサイズを変更し、効率的にデータ転送を行なう。

【解決手段】 通信ネットワークを介して複数のノード間でデータパケットの送受信を行なうために、送信側及び受信側のノードの少なくとも一方で使用するインターフェイス装置である。送信すべき又は受信したデータパケットをバッファするための所定容量の記憶手段を有する複数のインターフェイスチップと、前記各インターフェイスチップを制御し、前記通信ネットワークに対するデータパケットの送信又は該前記通信ネットワークからのデータパケットの受信を制御する制御手段とが設けられる。前記制御手段に対して接続する前記インターフェイスチップの数を任意に選択可能であり、該インターフェイスチップの数を増減調整することで、インターフェイス装置におけるトータルなバッファの規模が調整自在である。



【特許請求の範囲】

【請求項 1】 通信ネットワークを介して複数のノード間でデータパケットの送受信を行なうために、送信側及び受信側のノードの少なくとも一方で使用されるインターフェイス装置であって、

送信すべき又は受信したデータパケットをバッファするための記憶手段を有するインターフェイスチップと、前記インターフェイスチップを制御し、前記通信ネットワークに対するデータパケットの送信又は該前記通信ネットワークからのデータパケットの受信を制御する制御手段とを具え、前記制御手段に対して任意の数の前記インターフェイスチップを接続し、該インターフェイスチップの数を増減調整することで全体的なバッファの規模が調整自在であることを特徴とするインターフェイス装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、デジタルオーディオデータなどのように所定期間で時系列的に変化するデータを通信ネットワークに対してパケット単位で送受信するシステムで使用されるデータ通信用のインターフェイス装置に関する。

【0002】

【従来の技術】 ネットワークを介したデータ伝送方式には、大別すると、同期方式と非同期方式とがある。一般に同期方式は、送信側と受信側との間を専用の同期信号線などを設け、それに同期するようにしてデータを伝送しているので、受信側は送信されてきたデータに基づいて元のデータを正確に再現することができる。従って、同期方式のデータ伝送方式は、受信側における情報の時間的位置の正確な再現が要求されるデジタルオーディオデータなどの伝送に適した方式である。しかし、別途同期信号線を設けたり、送受信間で同期をとるための構成が必要である。また、同期方式による通信中はそのためだけに回線が専用されるため、通信方式としての汎用性に欠けるという欠点があった。

【0003】 これに対して、非同期方式は、専用の同期信号線などを確保する必要がないため、パソコン通信などのように文字データや静止画データを送信する場合などに適している。しかしながら、非同期方式で採用しているパケット送信では、データ本来の時間的な位置の情報が欠落してしまうことになるので、デジタルオーディオデータなどの伝送には適していない。

【0004】

【発明が解決しようとする課題】 そこで、最近では各ノードが個別にクロック発振回路とそのクロックをカウントするクロックカウンタとを備え、送信側のノードがパケットデータの先頭にデータの時間的位置を示す時間データ（タイムスタンプ）を付与してネットワーク上にデータを伝送し、受信側のノードがその時間データと内部

のクロックカウンタのカウント値を比較し、両者が不一致の場合にそのカウント値を時間データで補正し、補正されたクロックカウンタのカウント値に基づいてデータを順次再生するという擬似的な同期方式を採用するようになった。このような擬似的な同期通信方式はアイソクロナス転送方式といわれ、これを規定したものとして、例えば I E E E 1 3 9 4 がある。

【0005】 すなわち、この擬似的同期方式では、各ノードのクロック発振回路が完璧に同じ周波数で発振するとは限らず、ある程度の誤差が存在することを認めた上で、その誤差によるずれを同期タイミング毎すなわち時間データを受信する毎にその時間データに合わせて、クロックカウンタのカウント値を修正するという手法を採用している。このような擬似的同期方式では、基本的にインターフェイス装置を構成するチップ内に 1 パケット分以上のデータを格納することのできる F I F O メモリを設け、パケット単位でデータの送受信を行っている。この F I F O メモリに対するパケットデータのアクセスは C P U 又は周辺の I / O 回路が行う。従って、F I F O メモリのサイズはアプリケーションに応じた最適なサイズのものが適宜選択されなければならない。

【0006】 しかしながら、従来は、チップの汎用性を優先するあまり、必要以上のサイズの F I F O メモリを割り当てており、F I F O メモリを無駄に使用しているという問題があった。逆に、デジタルオーディオ機器の接続チャンネル数を増やしたい場合に、F I F O メモリのサイズが小さく、それがネックとなって、チャンネル数を増加することができないという問題もあった。この発明は上述の点に鑑みてなされたもので、アプリケーションに応じて自由にバッファのサイズを変更し、効率的にデータ転送を行うことのできるインターフェイス装置を提供するものである。

【0007】

【課題を解決するための手段】 この発明に係るインターフェイス装置は、通信ネットワークを介して複数のノード間でデータパケットの送受信を行なうために、送信側及び受信側のノードの少なくとも一方で使用されるインターフェイス装置であって、送信すべき又は受信したデータパケットをバッファするための記憶手段を有するインターフェイスチップと、前記インターフェイスチップを制御し、前記通信ネットワークに対するデータパケットの送信又は該前記通信ネットワークからのデータパケットの受信を制御する制御手段とを具え、前記制御手段に対して任意の数の前記インターフェイスチップを接続し、該インターフェイスチップの数を増減調整することで全体的なバッファの規模が調整自在であることを特徴とするものである。

【0008】 これにより、ユーザーは、応用目的に応じてインターフェイスチップの数を適宜増加又は減少することで、無駄のないインターフェイス装置を構成するこ

とができる。例えば、デジタルオーディオのような高速で大きな容量のデータを複数チャンネル送受信する場合には、比較的大きな記憶容量の記憶部を持つインターフェイスチップを必要な数だけ複数個接続し、これによって、インターフェイス装置におけるトータルなバッファの容量を見掛け上大きくすることができ、オーディオデータなどの大きな容量のデータを複数チャンネル送受信することができるようになる。一方、MIDIデータのように比較的低速で小さな容量のデータを複数チャンネル分送受信する場合には、比較的小さな記憶容量の記憶部を持つインターフェイスチップを必要な数だけ接続することによって対応することができる。また、デジタルオーディオのような大きなデータとMIDIデータのような小さなデータの両方を複数チャンネル分送受信する場合には、比較的大きな記憶容量の記憶部を持つインターフェイスチップと比較的小さな記憶容量の記憶部を持つインターフェイスチップをそれぞれ必要な数だけ接続することによって対応することができる。

【0009】なお、インターフェイスチップ内のバッファ用記憶手段の持つ容量に応じてどれだけの個数のインターフェイスチップを接続すればよいかを適宜決定すればよい。また、複数のインターフェイスチップのどれを用いて送信又は受信するかをデータ毎に割り当てることによって、複数の異なる種類のデータの送受信を行うことができる。さらに、大きさの異なるバッファ（つまり異なる記憶容量の記憶手段）を含むインターフェイスチップを複数個接続して、それぞれの種類のデータの送受信に最適な構成のインターフェイスチップ群を構成するようにしてもよい。

【0010】このインターフェイス装置は、アイソクロナス転送方式のように、それぞれ非同期で動作する複数のノードが接続された通信ネットワーク上で、前記複数のノードの中のある1つのノードが基準信号を前記通信ネットワーク上に送信し、前記複数のノードの中他の1つのノードが前記基準信号に対する経過時間を示すタイムデータと共に時系列的な配列を有する複数のアプリケーションに対応したデータパケットの複数を送信することによって、前記複数のノード間で前記データパケットの同期通信が行えるように構成されたデータ伝送方式において好適に用いることができる。通信ネットワークに接続された複数のノードの中の1つが送信ノードとなり、他の1つが受信ノードとして動作する場合、送信ノードは複数のデータパケットを通信ネットワーク上に送信し、そのデータパケットを受信ノードが受信することによって、通信ネットワーク上でデータの送受信が行われる。このような通信ネットワーク上では、デジタルオーディオのような高速で大きな容量のデータを複数チャンネル送信する場合や、MIDIデータのように比較的低速で小さな容量のデータを複数チャンネル送信する場合には、インターフェイスチップを複数個カスケード

に接続する。これによって、見かけ上の送受信用バッファの容量を大きくすることができ、オーディオデータなどの大きな容量のデータを複数チャンネル送信することができるようになる。また、MIDIデータのように比較的低速で小さな容量のデータを複数チャンネル分送受信する場合には、カスケードに接続するインターフェイスチップの個数を少なくすることによって対応することができる。

【0011】

10 【発明の実施の形態】以下、添付図面を参照して、この発明の実施の形態を詳細に説明する。図1はこの発明に係るインターフェイス装置を内蔵した送受信ノードの一例を示すブロック図である。図2は図1の送受信ノード間で伝送されるデータの構成例を示す図である。なお、この明細書中では、前述のIEEE1394の通信方式に従ってデータ伝送が行われる場合について説明する。図1には、IEEE1394のシリアルバス20に接続された1つの送受信ノードが示されているが、実際はこれ以外にも送信だけを行う送信ノード、受信だけを行う受信ノードなどのあらゆる種類のものがシリアルバス20を介して複数個接続されていてよい。この実施の形態では、シリアルバス20上の他のノードが図2のようなノーマルサイクルピリオド125μsecの同期信号(cycle sync)に対応したサイクルスタートパケット信号を順次出力している場合において、図1の送受信ノードが図2のようなデータ列の送受信をシリアルバス20との間で行う場合について説明する。

【0012】図1の送受信ノードは、図示していない内蔵の水晶発振器によって生成された所定周波数（例えば、周波数24.576MHz（周期約40nsec））のクロックに応じて動作するCPU11を有し、このCPU11とROM12とRAM13とからなるマイクロコンピュータシステムによって所定のサンプリング周期Tの時系列的な配列を持つ複数のデータを順次生成し、そのデータをチップ制御手段15及びインターフェイスチップ16～18によって、シリアルバス20上に出力したり、シリアルバス20上から取り込んだりする。なお、チップ制御手段15及びインターフェイスチップ16～18に対するデータ転送はDMAC(Direct Memory Access Controller)14によって行われる。また、チップ制御手段15及びインターフェイスチップ16～18はそれぞれ内部バス10によって接続されている。CPU11、ROM12、RAM13、DMAC14、チップ制御手段15、インターフェイスチップ16～18はそれぞれCPUバス19を介して接続されている。また、各インターフェイスチップ16～18はスタート入力端子START_IN1～START_IN3及びスタート出力端子START_OUT1～START_OUT3を介してカスケードに接続されている。例えば、図1の送受

信ノードがCD（コンパクトディスク）プレーヤーのようなオーディオ再生装置に含まれる場合には、再生されたデジタルオーディオ信号のサンプルデータがシリアルバスに出力される。また、送受信ノードが楽音サンプルデータをリアルタイムで合成する楽音合成装置のようなものにも含まれる場合には合成された楽音波形の順次サンプルデータが出力される。なお、送受信ノードから出力されるデータのサンプリング周期Tは、そのデータソースに応じて、適宜可変されるようになっている。

【0013】CPU11は、図示していない水晶発振器によって生成された所定周波数のクロックをカウントする32ビット構成のランニングカウンタとして動作する機能を有し、そのカウント値に応じたタイムスタンプデータすなわち時間データを出力する。チップ制御手段15は、シリアルバス20との間でデータの送受信を行うためにインターフェイスチップ16～18を制御する。インターフェイスチップ16～18は非同期で入出力動作するバッファレジスタを内蔵しており、チップ制御手段15を介してシリアルバス20との間でデータの送受信を行う。このバッファレジスタにFIFOメモリを使用する。チップ制御手段15は、所定の送信割り込み周期（前述の他の送受信ノードの出力する同期信号（cycle sync））に同期してインターフェイスチップ16～18に一時的に記憶してあるデータを基にして図2のような1アイソクロノスサイクル（isochronous cycle）に相当するデータ列9（以下「サイクルパケット列」とする）を構成し、シリアルバス20との間でデータの送受信を行う。

【0014】サイクルパケット列9は図2に示すように、サイクルスタートパケット91と同期データパケット群92と非同期データパケット群93とから構成される。サイクルスタートパケット91は、32ビットで構成され、その上位20ビットがそのサイクルパケット列9のサイクルタイミングを示すデータであり、下位12ビットは、そのサイクルパケット列9が通信ネットワーク上の同期信号（cycle sync）からどれだけの時間遅れで送信されたのかを示すサイクルスタートデータXを示すデータである。このサイクルスタートパケットに含まれる時間データを用いて、アイソクロナス転送方式で知られているように、当該ノードのランニングカウンタ（CPU11）のカウント値をセットし、全ノードでの時間基準を共通化しようになっている。

【0015】同期データパケット群92は擬似同期信号処理の対象となる複数P個のパケットデータで構成されている。図では、一例としてチャンネル1からチャンネル8までの8個の送信用同期データパケットと、他のノードから送られてきた3種類の受信用同期データパケットが示されている。この同期データパケットの数Pは任意に設定可能である。各同期データパケットは所定数Q個のデータと、その中のいずれか1つ（この実施の形態

では、最初のデータ）の時間位置を示すタイムスタンプデータとからなるグループを複数個有する。この実施の形態では、4個のデータと、1個のタイムスタンプで1つのグループが構成される。すなわち、図では、4個のデータD1～D4、D5～D8に対して1個のタイムスタンプデータT1、T2がそれぞれ設けられている。タイムスタンプデータT1は最初のデータD1の時間位置を、タイムスタンプデータT2はデータD5の時間位置をそれぞれ示す。従って、各同期データパケットは（Q+1）個のデータグループの整数倍で構成される。なお、デジタルオーディオデータを通信する関係上、データがQ個に満たなくても送信する場合があるがこれについては説明を省略する。非同期データパケット群93は非同期信号処理の対象となる複数R個のパケットデータで構成される。図では一例としてパケットB及びパケットCの2個のパケットデータが示されている。なお、非同期データパケットは存在していなくてもよい。

【0016】チップ制御手段15は、最後のインターフェイスチップ18の出力端子START_OUT3から出力される信号を入力する端子ENDと、各インターフェイスチップ16～18の出力端子TxREQ1～TxREQ3から出力されるアクティブローの送信可能信号Txを入力する端子TxREQ0を有する。また、チップ制御手段15は、アクティブローの受信可能信号Rxを各インターフェイスチップ16～18の入力端子RxSTB1～RxSTB3に出力する端子RxSTB0と、スタート信号をインターフェイスチップ16の端子RxSTB1に出力する端子RxSTB0と、動作クロック信号ECLKを各インターフェイスチップ16～18の端子ECLK1～ECLK3に出力する端子ECLK0とを有する。

【0017】各インターフェイスチップ16～18は、動作クロック信号ECLKを入力するクロック端子ECLK1～ECLK3と、スタート信号STARTを入力するスタート入力端子START_IN1～START_IN3と、受信可能信号Rxを入力する受信可能信号入力端子RxSTB1～RxSTB3と、送信可能信号Txを出力する送信可能信号出力端子TxREQ1～TxREQ3と、スタート信号STARTを出力するスタート出力端子START_OUT1～START_OUT3とを有する。なお、インターフェイスチップ16～18は、スタート信号STARTに関してはデジチエーン接続になっており、スタート信号STARTが順送りに各インターフェイスチップ16～18を伝達するようになっている。なお、例えば、各インターフェイスチップ16～18では、1チャンネル分の同期データパケットの送信及び／又は受信処理が可能であるとする。

【0018】図3はデジタルオーディオ信号（典型的にはPCM波形サンプルデータ）の送受信に適したインターフェイスチップの一例を示す図である。このインタ

ーフフェイスチップは取り込み制御回路 3 1 と出力制御回路 3 2 とアイソクロナス受信バッファ 3 3 とアイソクロナス送信バッファ 3 4 と DSP 3 5 とから構成される。取り込み制御回路 3 1 はチップ制御手段 1 5 からローレベルの受信可能信号 R x S T B を入力すると、内部バス 1 0 からパケットデータを取り込み、そのパケットデータをヘッダ部とデータ部に分離し、ヘッダ部の情報から判断して受信すべきデータの場合には、そのデータ部をアイソクロナス受信バッファ 3 3 に転送し、受信すべきデータでない場合には無視する。一方、出力制御回路 3 2 は、アイソクロナス送信バッファ 3 4 に送信すべきデータが格納されている状態でスタート入力端子 S T A R T _ I N にスタート信号 S T A R T を入力した場合に、送信バッファ 3 4 に格納されているデータにヘッダ部の情報を付加して内部バス 1 0 に送出する。このデータは該内部バス 1 0 を介してチップ制御手段 1 5 から外部に向けて送信される。出力制御回路 3 2 は、送信バッファ 3 4 内のデータの最後の送出タイミングでスタート出力端子 S T A R T _ O U T から次のインターフェイスチップに対してスタート信号 S T A R T を出力する。DSP 3 5 はアイソクロナス受信バッファ 3 2 及びアイソクロナス送信バッファ 3 3 と CPU バス 1 9 (図 1) との間で、送信すべき／又は受信したデジタルオーディオ信号のデータのやりとりを行う。前述の通り、各バッファ 3 3, 3 4 は F I F O メモリからなる。この F I F O メモリの容量は 1 チャンネル分の同期データパケットに対応するものであればよい。DSP 3 5 を設けずに、各バッファ 3 3, 3 4 を CPU バス 1 9 に接続してもよい。

【0019】図 4 は M I D I 信号の送受信に適したインターフェイスチップの一例を示す図である。このインターフェイスチップは取り込み制御回路 4 1 と出力制御回路 4 2 とアイソクロナス受信バッファ 4 3 とアイソクロナス送信バッファ 4 4 とパラレル-シリアル変換器 4 5 とシリアル-パラレル変換器 4 6 とから構成される。取り込み制御回路 4 1 及び出力制御回路 4 2 は図 3 のものと同じである。なお、M I D I 信号は I E E E 1394 の通信速度に比べると比較的低速なので、特別なアイソクロナス受信バッファ 4 3 及びアイソクロナス送信バッファ 4 4 は、存在しなくてもよいが、タイミング合わせ及びデータ展開のためにある程度の容量のバッファを用いるのが望ましい。なお、存在しなくてもよいので、図ではアイソクロナス受信バッファ 4 3 及びアイソクロナス送信バッファ 4 4 を点線で表示してある。パラレル-シリアル変換器 4 5 はアイソクロナス受信バッファ 4 3 に格納されているパラレルの M I D I データをシリアルに変換して CPU バス 1 9 に送出する。シリアル-パラレル変換器 4 6 は CPU バス 1 9 (図 1) から取り込まれるシリアル M I D I データをパラレルデータに変換して、アイソクロナス送信バッファ 4 4 に出力する。なお、特別なアイソクロナス受信バッファ 4 3 及びアイソ

クロナス送信バッファ 4 4 を設けない場合であっても、パラレル-シリアル変換器 4 5 及びシリアル-パラレル変換器 4 6 内に含まれるレジスタ手段がバッファとして機能していることになる。

【0020】図 3 及び図 4 に示すようなデジタルオーディオ信号の送受信に適したインターフェイスチップや M I D I 信号の送受信に適したインターフェイスチップを適宜組み合わせることによって、図 2 のようなサイクルパケット列のデータを送受信することができるようになる。

【0021】次に図 5 のタイミングチャートを用いて、図 1 のインターフェイス装置の動作を説明する。まず、図 5 において、各インターフェイスチップ 1 6 及び 1 7 のアイソクロナス送信バッファには、通信ネットワークのシリアスバス 2 0 上にデータ T x 1 0 及び T x 2 0 を送信するために、予めデータ T x 1 0 及びデータ T x 2 0 が書き込まれている。そして、サイクルスタートデータの入力に応じてこれらのデータ T x 1 0 及び T x 2 0 を送信するように動作する。ここで、図 5 の T x R E Q 0 ~ 3 の欄に示すように、送信ノードの機能を有するインターフェイスチップ 1 6 ~ 1 8 の出力端子 T x R E Q 1 ~ T x R E Q 3 からはアクティブローの送信可能信号 T x がチップ制御手段 1 5 の入力端子 T x R E Q 0 に与えられている。この状態で通信ネットワークのシリアルバス 2 0 上にサイクルスタートデータ C y c l e s t a r t 1 0 が送出されると、チップ制御手段 1 5 はシリアルバス 2 0 上のサイクルスタートデータ C y c l e s t a r t 1 0 を取り込み、図 5 の E D 欄に示すように、それをパラレルデータ C y c l e s t a r t 1 1 として CPU 1 1 に出力すると共にアクティブローの受信可能信号 R x を端子 R x S T B 0 から各インターフェイスチップ 1 6 ~ 1 8 の入力端子 R x S T B 1 ~ R x S T B 3 に出力する。この信号 R x の状態は図 5 の R x S T B 0 ~ 3 の欄に示されている。この信号 R x がローのとき受信モードであり、従って、ハイのとき送信可能である。

【0022】CPU 1 1 では、前述のように、このサイクルスタート信号 C y c l e s t a r t 1 1 を受信して、内部のランニングカウンタの値をその時間データに合わせる。また、サイクルスタート信号 C y c l e s t a r t 1 0 の受信に応じてパラレルのサイクルスタート信号 C y c l e s t a r t 1 1 を生成すると、チップ制御手段 1 5 は図 5 に示すようにスタート信号 S T A R T を出力し、最初のインターフェイスチップ 1 6 のスタート信号入力端子 S T A R T _ I N 1 に入力する。このスタート信号入力端子 S T A R T _ I N 1 へのスタート信号 S T A R T の入力に応じて、インターフェイスチップ 1 6 の出力制御回路 3 2 (又は 4 2) (図 3 又は図 4) はアイソクロナス送信バッファ 3 4 (又は 4 4)

(図 3 又は図 4) 内のデータ T x 1 0 にヘッダ部を付加

して、内部バス10に送出する。チップ制御手段15は内部バス10上のデータTx10を受信し、それをシリアルなデータTx11に変換して、通信ネットワーク上のシリアルバス20に出力する。

【0023】インターフェイスチップ16の出力制御回路32（又は42）（図3又は図4）はデータTx10の送信が終了した時点で、スタート出力端子START

OUT1からスタート信号を出力し、次のインターフェイスチップ17のスタート入力端子START_IN2に与える。インターフェイスチップ17では、スタート入力端子START_IN2からスタート信号を入力すると、前述と同様に、その出力制御回路32（又は42）（図3又は図4）がデータ送信処理を行なう。すなわち、そのアイソクロナス送信バッファ34（又は44）（図3又は図4）内のデータTx20にヘッダ部を付加して、内部バス10に送出する。チップ制御手段15は内部バス10上のデータTx20を受信し、それをシリアルなデータTx21に変換して、通信ネットワーク上のシリアルバス20に送信する。なお、スタート出力端子START_OUT2から次のインターフェイスチップ18のスタート入力端子START_IN3に対してもスタート信号が出力されるが、この例ではインターフェイスチップ18の送信バッファ（34又は44）内には送信すべきデータは存在しないので、インターフェイスチップ18のスタート出力端子START_OUT3から即座にスタート信号が出力され、チップ制御手段15のエンド端子ENDに与えられる。チップ制御手段15はエンド端子ENDにスタート信号が戻ってきたことを確認すると、このアイソクロナスタイミングにおけるデータ送信を終了する。

【0024】なお、チップ制御手段15は、各インターフェイスチップ16～18から与えられたデータを通信ネットワーク上のシリアルバス20を介して通信ネットワーク上に送信するに際して、各インターフェイスチップ16～18から与えられる各データ毎に別々のアイソクロナスチャンネルで送信するようにしてもよいし、あるいは複数のインターフェイスチップ16～18から与えられるデータを1ブロックにまとめて1つのアイソクロナスチャンネルで送信するようにしてもよい。例えば、チップ制御手段15は、上述のように各インターフェイスチップ16～18がデータ送信処理を行なう毎に、別々のアイソクロナスチャンネルで、各インターフェイスチップ16～18から送出されてきたデータを通信ネットワーク上のシリアルバス20に出力するようにしてよい。若しくは、チップ制御手段15は、上述のように各インターフェイスチップ16～18がデータ送信処理を行なっても、エンド端子ENDにスタート信号が戻ってきたことを確認するまでは各インターフェイスチップ16～18から送出されてきたデータを通信ネットワーク上のシリアルバス20に出力せずに、エンド端子

ENDにスタート信号が戻ってきたことを確認してから各インターフェイスチップ16～18から送出されてきたデータを1つのアイソクロナスチャンネルに対応するものとしてグループ化して通信ネットワーク上のシリアルバス20に出力するようにしてもよい。これにより、例えば、オーディオデータを右チャンネル、左チャンネル、中央チャンネルの3オーディオチャンネルで伝送する場合に、各オーディオチャンネル毎に個別のアイソクロナスチャンネルを割り当てて該オーディオデータを送信するようにすることもできるし、あるいは、各オーディオチャンネルを1まとめにして1つのアイソクロナスチャンネルを割り当てて該オーディオデータを送信するようにすることもできる。

【0025】図5の動作例説明に戻ると、データ送信処理の後、通信ネットワークのシリアルバス20上に他のノードから同期データパケットRx10が送出されると、チップ制御手段15はその同期データパケットRx10をパラレルなデータRx11に変換して内部バス10に出力すると共に受信可能信号Rxを各インターフェイスチップ16～18の入力端子RxSTB1～RxSTB3に出力する。各インターフェイスチップ16～18では、取り込み入力RxSTB1～RxSTB3を介して受信可能信号Rxが与えられると、バス10のデータを取り込み制御回路31又は41（図3又は図4）に取り込む。取り込み制御回路31又は41では、バス10を介して取り込んだパケットデータをヘッダ部とデータ部とに分離し、ヘッダ部により示される情報に従って該パケットデータが当該インターフェイスチップ16～18で受信すべきデータであるか否かを判定する。受信すべきと判定した場合は、該パケットデータのデータ部を受信バッファ33又は43（図3又は図4）にロードする。

【0026】なお、受信に際しては、通信ネットワークのシリアルバス20を介して伝送されてくる個々のアイソクロナスチャンネルのデータを別々のインターフェイスチップ16～18の受信バッファに格納するようにしてもよいし、あるいは、1つのアイソクロナスチャンネルで受信したデータを複数のデータグループに分けてそれぞれを別々のインターフェイスチップ16～18の受信バッファに格納するようにしてもよい。例えば、受信した同期パケットデータのデータ部が複数のインターフェイスチップ16～18でそれぞれ受信されるべき複数のデータグループからなっている場合は、各インターフェイスチップ16～18は、該同期パケットデータのデータ部に含まれる所定のデータを選択的に自己の受信バッファ33又は43（図3又は図4）にロードする。

【0027】更に一例を示すと、各パケットデータのヘッダ部には、データ部に格納されているデータの種別を示す情報として、当該パケットのチャンネルを示す情報を含んでいる。前述のように、各インターフェイスチッ

ブ16~18は個々のチャンネルに対応して設けられており、受信したパケットデータのヘッダ部に含まれるチャンネル情報に従って、対応するいずれかのインターフェイスチップ16~18の受信バッファ33又は43に該パケットデータのデータ部がロードされる。なお、チャンネルの種類にはオーディオチャンネルとMIDIチャンネルとがあり、取り込み制御回路31又は41(図3又は図4)ではこのオーディオチャンネルとMIDIチャンネルの区別も行ない、オーディオチャンネルのチャンネル情報を持つデータは図3のような構成のインターフェイスチップ16~18で受信され、MIDIチャンネルのチャンネル情報を持つデータは図4のような構成のインターフェイスチップ16~18で受信されるようにすることは前述の通りである。

【0028】例えば、データRx11のヘッダ部に含まれる情報によってインターフェイスチップ16がこのデータRx11を受信すべきことが指示されている場合は、インターフェイスチップ16がこのデータRx11を受信する。データRx11の受信が終了すると、バス19を介してCPU11によってデータRxの読み込みが行なわれ、そしてその再生処理が行われる。

【0029】なお、再生処理を行なう際に、各インターフェイスチップ16~18の受信バッファ33又は43(図3又は図4)に格納されたデータを、各々個別に図示しない再生手段に送るようにしてもよいし、該データを選択的にあるいは自由に組み合わせてバッチ化して再生手段に送るようにしてもよい。例えば、各インターフェイスチップ16~18が、それぞれデジタルオーディオ信号の右チャンネル、左チャンネル、中央チャンネルに対応している場合、各インターフェイスチップ16~18に格納した右チャンネル、左チャンネル、中央チャンネルの各デジタルオーディオデータを各々独立に再生手段に送出するようにしてもよいし、あるいは、インターフェイスチップ16、17に格納した右チャンネルと左チャンネルのデジタルオーディオデータを選択的に組み合わせて再生手段に送出したり、あるいは各インターフェイスチップ16~18に格納した全チャンネルのデジタルオーディオデータを組み合わせて再生手段に送出するようにしてもよい。

【0030】なお、図1の例では、インターフェイス装置は3個のインターフェイスチップのカスケード接続で構成されている例が便宜上示されており、その場合は、3チャンネル分の送信用同期データパケットを送信することができるが、それ以上のチャンネル数の送信用同期データパケットを送信することはできない。しかし、接続するインターフェイスチップの数を必要な数だけ増加することにより、必要なチャンネル数の送信用同期データパケットを送信することができるのは勿論である。例えば、図2に示されたような8チャンネル分の送信用同期データパケットを送信できるようにするためには、8

個のインターフェイスチップをカスケードに接続すればよい。その場合、例えば、この8個のインターフェイスチップのうち、最初の4個を図3に示すようなデジタルオーディオ信号の送受信に適したインターフェイスチップで構成し、残りの4個を図4に示すようなMIDI信号の送受信に適したインターフェイスチップで構成する、など様々な態様でインターフェイスチップを組み合わせることができ、このように様々な組合せを適宜採用することによりアプリケーションに応じて自由に送受信のデータサイズを変更することができ、データ転送効率を飛躍的に向上することが可能となる。また、図4で前述した通り、MIDI信号の送受信に適したインターフェイスチップの送受信バッファの容量は比較的小さくてよい。勿論、図3に示されたようなインターフェイスチップを用いてMIDI信号の送受信を行なってもよい。

【0031】ところで、上述の実施の形態では、各インターフェイスチップの受信バッファ及び送信バッファが1チャンネル分よりも大きい同期データパケットを送信することができない場合を例に示したが、受信バッファ32又は42及び送信バッファ34又は44の容量が複数チャンネル分の同期データパケットをバッファ記憶することが可能であってもよく。その場合には、カスケード接続されるインターフェイスチップの数はチャンネル数よりも少なくともよいことになる。また、各インターフェイスチップは、必ずしも送受信兼用に構成されている必要はない。すなわち、送信専用ノードにおいては、図3又は図4のインターフェイスチップにおいて受信バッファ33又は43とそれに関連する回路を省略してもよく、また、受信専用ノードにおいては、図3又は図4のインターフェイスチップにおいて送信バッファ34又は44とそれに関連する回路を省略してもよい。

【0032】

【発明の効果】この発明のインターフェイス装置によれば、アプリケーションに応じてバッファメモリの合計サイズを自由に変更し、効率的にデータ転送を行うことができるという優れた効果を有する。

【図面の簡単な説明】

【図1】 この発明に係るインターフェイス装置を内蔵した送受信ノードの一例を示すブロック図である。

【図2】 図1の送受信ノード間で伝送されるデータの構成例を示す図である。

【図3】 デジタルオーディオ信号の送受信に適したインターフェイスチップの一例を示す図である。

【図4】 MIDI信号の送受信に適したインターフェイスチップの一例を示す図である。

【図5】 図1のインターフェイス装置の動作を説明するためのタイミングチャート図である。

【符号の説明】

10…内部バス、11…CPU、12…ROM、13…RAM、14…DMAC、15…チップ制御手段、16

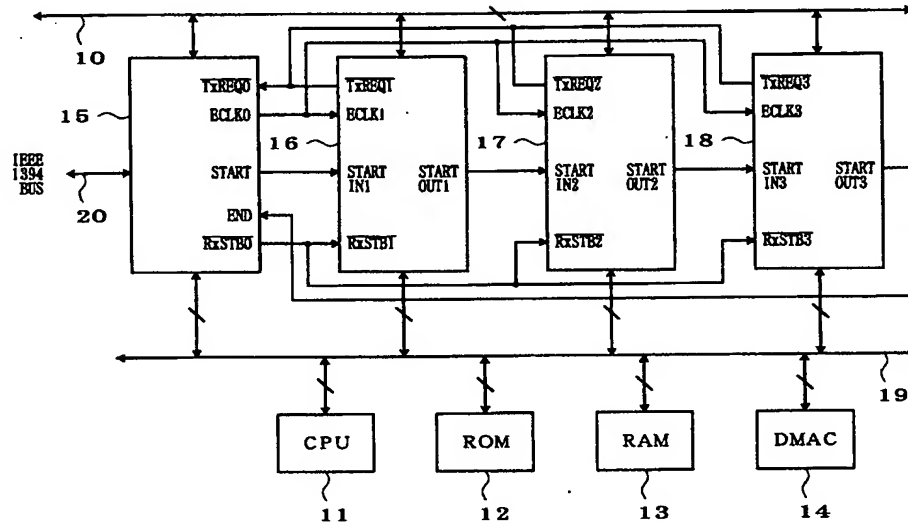
13

～18…インターフェイスチップ、19…CPUバス、
20…シリアルバス、31、41…取り込み制御回路、
32、42…出力制御回路、33、43…アイソクロナ

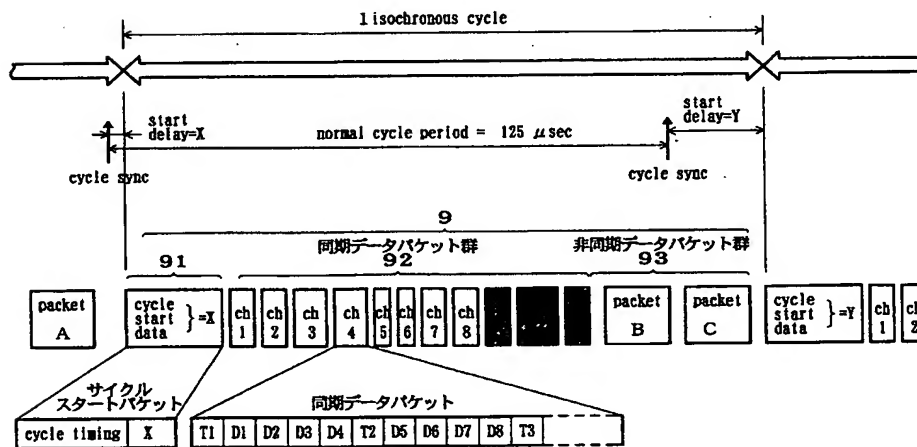
14

ス受信バッファ、34、44アイソクロナス送信バッファ、
35…DSP、45…パラレルーシリアル変換器、
46…シリアルーパラレル変換器

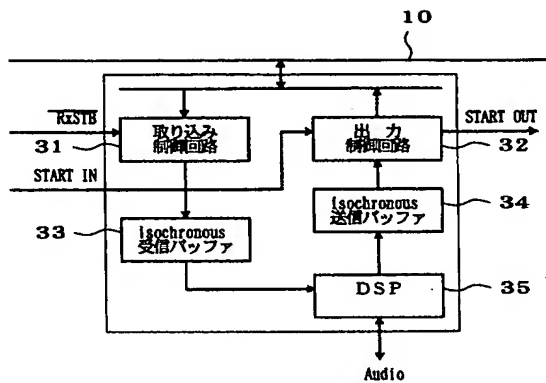
【図1】



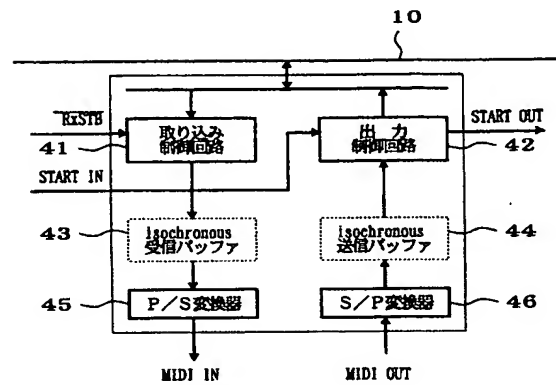
【図2】



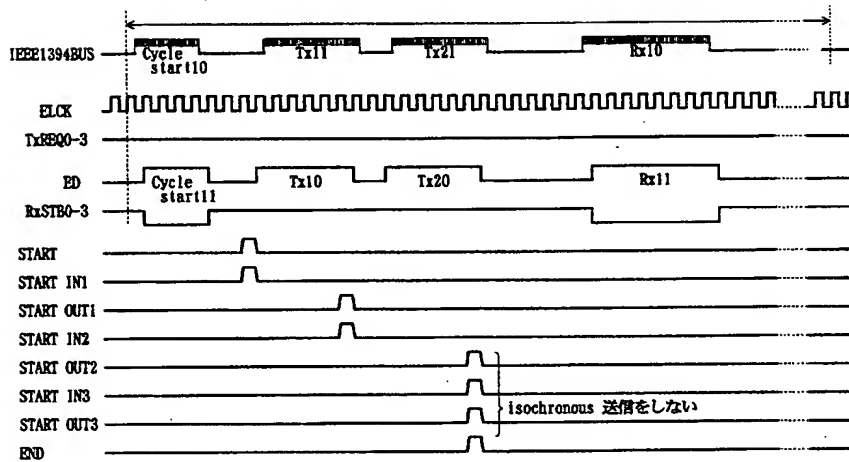
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl. 6

H 0 4 L 12/56

識別記号

F I

H 0 4 L 11/00

11/20

3 2 0

1 0 2 B